

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-250957

(43)Date of publication of application : 18.10.1988

(51)Int.Cl. H04M 15/00
H03B 28/00

(21)Application number : 62-084702

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.04.1987

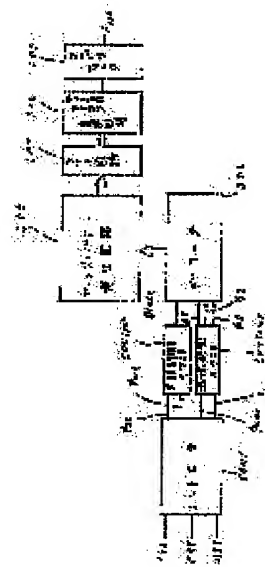
(72)Inventor : NISHIHARA TATSUYA

(54) PERIODIC FUNCTIONAL SIGNAL GENERATION CIRCUIT

(57)Abstract:

PURPOSE: To surely resolve an undershoot and an overshoot by selecting a digital pattern data having a different amplitude obtained mostly by gradually increasing and gradually decreasing the amplitude of an output periodic function at the point of time of the generation and the termination of an analog periodic functional signal.

CONSTITUTION: When a metering signal MET is made to be a high level at time t_0 , a periodic control counter CUNTpre starts a counting operation and supplies a count data Dcount to a decoder DEC. Besides an amplitude control counter CUNTamp starts the counting operation and supplies a clock signal Q1 or Q3 to the decoder at a period which is successively doubled and selects the individual digital pattern data out of the group of the digital pattern data successively selected according to the order of the periodic function. Thus, it is increased gradually like successively $1/8$, $1/4$, $1/2$ nearly in a ramp shape. When the clock signal Q3 finishes one period the selection contrary to the above mentioned, is performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-250957

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月18日

H 04 M 15/00
H 03 B 28/00

Z-7406-5K
B-8326-5J

審査請求 未請求 発明の数 2 (全12頁)

⑮ 発明の名称 同期関数信号発生回路

⑯ 特 願 昭62-84702

⑰ 出 願 昭62(1987)4月8日

⑱ 発 明 者 西 原 達 也 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

同期関数信号発生回路

2. 特許請求の範囲

1. 同期関数のデジタルパターンデータを発生可能なデジタルパターン発生回路の出力データに基づいてアナログ同期関数信号を形成する同期関数信号発生回路であって、発生すべきアナログ同期関数信号の振幅を相違させ得る複数種類のデジタルパターンデータを上記デジタルパターン発生回路に保有させ、そのデジタルパターン発生回路からデジタルパターンデータを順次周期的に選択する選択手段を、アナログ同期関数信号の発生から所定の期間及び終了までの所定期間に、出力同期関数信号の振幅を概ね漸増及び漸減させ得る振幅の異なるデジタルパターンデータを選択するように構成して成ることを特徴とする同期関数信号発生回路。

2. 上記選択手段は、デジタルパターンデータ

の出力周期を制御する同期制御用計数手段と、出力すべきデジタルパターンデータの振幅を選択制御する振幅選択制御用計数手段と、同期制御用計数手段及び振幅選択制御用計数手段の出力に基づいてデジタルパターンデータの選択信号をデジタルパターン発生回路に供給するデコーダとを備えるものであることを特徴とする特許請求の範囲第1項記載の同期関数信号発生回路。

3. 同期関数のデジタルパターンデータを発生可能なデジタルパターン発生回路の出力データに基づいてアナログ同期関数信号を形成する同期関数信号発生回路であって、デジタルパターン発生回路から順次周期的に出力されるデジタルパターンデータをシフトさせて、形成すべきアナログ同期関数信号の振幅を制御し得るシフト手段と、シフト手段によるシフト量、アナログ同期関数信号の発生から所定の期間及び終了までの所定期間に、出力同期関数信号の振幅を概ね漸増及び漸減させ得るように制御す

る制御手段とを備えるものであることを特徴とする周期関数信号発生回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はディジタルパターンによって形成されるアナログ周期関数信号の振幅制御技術に関するものであり、例えば周期的なアナログ信号に基づいて計測する回路にその計測の基準となるサインウェーブ信号を供給する回路に適用して有効な技術に関するものである。

〔従来技術〕

電話通話料金の計測回路は、通常電話交換機に内蔵されている。その電話交換機がアナログ信号によって動作する場合、斯る電話交換機に内蔵される電話通話料金計測回路もサインウェーブのようなアナログ信号を基準に電話通話料金の計測を行う。

このような電話通話料金計測回路に適用される従来のサインウェーブ発生回路は、例えば、昭和58年8月20日オーム社発行の「電子通信ハン

ドブック」P1408に記載されているような増算器、係数回路、及び加算器から構成されるようなディスクリート構成の5次のハイ・パス・フィルタに、12KHz或いは16KHzのバルス信号を供給してサインウェーブ信号を発生可能に構成されている。

このサインウェーブ発生回路において、サインウェーブ信号の出力開始及び終了のタイミングはコントローラによって指示される。通話が開始されると、電話交換機内のコントローラが遅延及び通話時間帯（深夜など）に応じた周波数でサインウェーブ信号を発生し、通話終了に呼応して信号の発生を停止する。その間、電話通話料金計測回路は、サインウェーブ信号の極性反転回数や周期などをカウントし、その回数と信号周期とで決まる時間に応じて電話料金を計測する。

〔発明が解決しようとする問題点〕

ところで、電話通話料金計測回路に適用される従来のサインウェーブ発生回路は、その出力周波数だけでなく振幅も一定値に保つようになされてい

た。このため、電話回線に寄生するような不所望な寄生成分などによって、そのサインウェーブ信号の受信側では、当該サインウェーブの発生及び終了時点でオーバーシュート及びアンダーシュートを生じ、それが実質的なノイズとみなされ、当該信号のS/Nが低下し、それによって、計測精度が実質的に低下してしまうという問題点があった。更に、ディスクリート構成の従来のサインウェーブ発生回路は、その回路規模が大き過ぎるばかりでなく、それ自体の出力信号のS/N比も悪かった。

本発明の目的は、アナログ周期関数信号の発生及び終了時点において受信側で問題となるアンダーシュート及びオーバーシュートを、アナログ周期関数信号の発信側におけるディジタル系のコントロールによって解決することができる周期関数信号発生回路を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書及び添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される夫々の発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、先ず第1の手段は、発生すべきアナログ周期関数信号の振幅を相違させ得る複数種類のディジタルパターンデータをディジタルパターン発生回路に保有させ、そのディジタルパターン発生回路からディジタルパターンデータを順次周期的に選択する選択手段を、アナログ周期関数信号の発生から所定の期間及び終了までの所定期間に、出力周期関数信号の振幅を概ね漸増及び漸減させ得る振幅の異なるディジタルパターンデータを選択するように構成して成るものである。

第2の手段は、ディジタルパターン発生回路から順次周期的に出力されるディジタルパターンデータをシフトさせて、形成すべきアナログ周期関数信号の振幅を制御し得るシフト手段と、シフト手段によるシフト量を、アナログ周期関数信号の発生から所定の期間及び終了までの所定期間に、

出力周期関数信号の振幅を概ね漸増及び漸減させ得るように制御する制御手段とを備えるようにして成るものである。

〔作用〕

上記した第1の手段によれば、デジタルパターン発生回路から順次出力されるべきデジタルパターンデータが保有する振幅を選択制御することにより、そのデジタルパターンデータがデジタル・アナログ変換されて得られるアナログ周期関数信号は、その発生から所定の期間及び終了までの所定期間において概ねランプ状に振幅が漸増及び漸減される。

第2の手段によれば、デジタルパターン発生回路から順次出力されるデジタルパターンデータを所定量ビットシフトして、そのデータが保有する振幅量を変更制御することにより、そのデジタルパターンデータがデジタル・アナログ変換されて得られるアナログ周期関数信号は、その発生から所定の期間及び終了までの所定期間において概ねランプ状に振幅が漸増及び漸減される。

レイ)又はマスクROM(リード・オンリ・メモリ)などから構成される。

同図においてDECは、上記デジタルパターン発生回路DPGから出力すべきデジタルパターンデータを順次周期的に選択するデコーダである。このデコーダDECから出力される選択信号は、大別すると、上記した夫々振幅の異なる4種類のデジタルパターンデータの組みから何れの振幅のデータを選択するかの意味付けと、連続した周期関数とし得るように個々のデジタルパターンデータを所定の周期に従って順次選択するという意味付けが与えられている。

このような意味付けが与えられる選択信号をデコーダDECから出力制御するために、デジタルパターンデータの出力周期を制御する周期制御カウンタCOUNTperと、出力すべきデジタルパターンデータの振幅を選択制御する振幅選択制御カウンタCOUNTampとが設けられている。周期制御カウンタCOUNTperは、特に制限されないが、それに計数動作が指示されると、出力

〔実施例1〕

第1図は本発明に係る周期関数信号発生回路の第1実施例を示すブロック図である。同図に示される面略は、電話通話料金計測回路に適用されるサインウェーブ発生回路を構成するものである。斯る回路は、電話用CODEC(コーダ・デコーダ)回路に搭載され、公知の半導体集積回路製造技術によって1つの半導体基板に形成される。

同図においてDPGは、サインカーブに対応して夫々所定ビット数で構成された複数のデジタルパターンデータを発生可能なデジタルパターン発生回路である。このデジタルパターン発生回路DPGは、振幅の異なる複数のサインカーブに対応するデジタルパターンデータを複数組保有し、例えば、基準振幅に対してその比が1/1、1/2、1/4、1/8の4通りの振幅に対応するサインカーブのデジタルパターンデータを夫々1周期づつ保有する。このデジタルパターン発生回路DPGは、特に制限されないが、ゲート・アレイ、PLA(プログラマブル・ロジック・ア

ナログ周期関数信号(以下単にサインウェーブ信号とも記す)Appreの周期を12KHz又は16KHzに制御し得るサイクルでカウントデータDountを出力する。振幅選択制御カウンタCOUNTampは、特に制限されないが、それに計数動作が指示されると、第2図に示されるように、順次周期が2倍とされるクロック信号Q1乃至Q3を出力する。

上記カウントデータDount及びクロック信号Q1乃至Q3が入力されるデコーダDECは、第2図に示されるように、クロック信号Q1乃至Q3のレベルの組合せに応じて、夫々振幅の異なる4種類のデジタルパターンデータの組みから何れの振幅のデータを選択するかを決定する。第2図に従えば、クロック信号Q1だけがハイレベルにされる期間において、振幅比1/8のデジタルパターンデータの組みを選択し、クロック信号Q2がハイレベルにされると共にクロック信号Q3がロウレベルにされる期間において、振幅比1/4のデジタルパターンデータの組みを選択

し、クロック信号Q3がハイレベルにされる期間において、振幅比1/2のデジタルパターンデータの組みを選択し、各クロック信号Q1乃至Q3がロウレベルにされる期間において、振幅比1/1のデジタルパターンデータの組みを選択する。デコーダDECにおいて、カウントデータDecountは、上記のように選択された所定振幅比の一群のデジタルパターンデータを周期関数としての順番に従って選択させる。

上記周期制御カウンタCUNTpre及び振幅制御カウンタCUNTampに対する制御はコントローラCONTが行う。このコントローラCONTには、基準クロック信号CLK、メタリング信号MET、及び出力アナログ周期関数信号の周期を12KHz又は16KHzの何れかに指示する周期設定信号PREが外部から供給される。上記メタリング信号METは、サインウェーブ信号Apreの出力動作の開始及び終了を指示する出力動作指示信号としての外部信号である。このメタリング信号METは、特に制限されない。

コントローラCONTは、振幅制御カウンタCUNTampに、カウント動作指示信号 ϕ_{amp} とカウント出力反転指示信号 ϕ_{inv} とを与える。カウント動作指示信号 ϕ_{amp} は、メタリング信号METのロウレベルからハイレベルへの変化、及びハイレベルからロウレベルへの変化に呼応して、クロック信号Q3の1周期に相当する期間だけロウレベルのようなカウント動作指示レベルにされる。カウント出力反転指示信号 ϕ_{inv} は、メタリング信号METのハイレベルからロウレベルへの変化に呼応して、クロック信号Q3の1周期に相当する期間だけハイレベルのようなカウント出力反転指示レベルにされる。

上記デジタルパターン発生回路DPGの出力端子は、ラッチ回路LATを介してデジタル・アナログ変換回路DACの入力端子に結合される。デジタル・アナログ変換回路DACは、ラッチ回路LATから供給されるデジタルパターンデータを所定の極性で順次アナログ信号に変換する。第3図の実線で示される階段波はデジタル・ア

ナログ変換回路DACから出力されるアナログ信号波形であり、各出力レベルにおける出力時間Tpは、上記カウントデータDecountによるデジタルパターンデータの選択周期に呼応される。

デジタル・アナログ変換回路DACの出力端子はロウパスフィルタLPFの入力端子に結合される。ロウパスフィルタLPFは、デジタル・アナログ変換回路DACから供給される階段波状アナログ信号を滑らかにして第3図の虚線で示されるようなサインウェーブ信号Apreを出力する。

次に上記実施例の動作を第2図を中心にして説明する。

時刻t₀にメタリング信号METがハイレベルにされると、それに呼応して先ず、アクティブレベルにされるスタート信号 ϕ_{st} の作用によって周期制御カウンタCUNTpreが計数動作を開始して、カウントデータDecountをデコーダDECに供給する。このときのカウントデータDecountの出力サイクルは、周期設定信号PRE

が、電話回線接続前から通話の終了によって電話回線が切断されるときまでの間に、電話交換機の図示しないコントローラによって通話距離や通話時間帯に応じた周期でハイレベル及びロウレベルに制御される。

時刻t₀にメタリング信号METがハイレベルにされると、それに呼応して先ず、アクティブレベルにされるスタート信号 ϕ_{st} の作用によって周期制御カウンタCUNTpreが計数動作を開始して、カウントデータDecountをデコーダDECに供給する。このときのカウントデータDecountの出力サイクルは、周期設定信号PRE

及び設定周期指示信号 ϕpre によって指示される 12 KHz 又は 16 KHz に呼応され、出力アナログ信号 $Apre$ の周期を 12 KHz 又は 16 KHz に制御し得るタイミングで変化される。

また、時刻 t_0 に呼応してロウレベルのようなアクティブレベルにされるカウント動作指示信号 ϕamp の作用によって振幅制御カウンタ $CUNTamp$ が計数動作を開始して、順次2倍の周期でクロック信号 $Q1$ 乃至 $Q3$ をデコーダに供給する。

カウントデータ $Dcount$ 及びクロック信号 $Q1$ 乃至 $Q3$ が供給されるデコーダ DEC は、クロック信号 $Q1$ 乃至 $Q3$ のレベルの組合せに応じ、時刻 t_1 から時刻 t_2 では振幅比が $1/8$ のデジタルパターンデータの組を、時刻 t_2 から時刻 t_3 では振幅比が $1/4$ のデジタルパターンデータの組を、時刻 t_3 から時刻 t_4 では振幅比が $1/2$ のデジタルパターンデータの組を選択させる選択信号をデジタルパターン発生回路 DPG に供給し、且つ、上記のようにして逐次選択されるデ

ジタルパターンデータの組から個々のデジタルパターンデータを周期関数の順番に従って選択させる選択信号をカウントデータ $Dcount$ のサイクルに従ってデジタルパターン発生回路 DPG に供給する。

このようにしてデジタルパターン発生回路 DPG から順次出力されるデジタルパターンデータがラッチ回路 LAT 、デジタル・アナログ変換回路 DAC 、及びロウパスフィルタ LPF を介してサインウェーブ信号 $Apre$ に変換されると、第2図の時刻 t_1 から時刻 t_4 に示されるように、そのサインウェーブ信号 $Apre$ の振幅比は順次 $1/8$ 、 $1/4$ 、 $1/2$ というように概ねランプ状に漸次増大される。

クロック信号 $Q3$ が1周期を終了する時刻 t_4 に呼応するタイミングでカウント動作指示信号 ϕamp がハイレベルにされて、振幅制御カウンタ $CUNTamp$ のカウント動作が終了されることに呼応して全てのクロック信号 $Q1$ 乃至 $Q3$ がロウレベルにされると、サインウェーブ信号 $Apre$

は振幅比 $1/1$ の所定振幅の信号とされ、カウントデータ $Dcount$ のサイクルに従って出力維持される。

時刻 T_1 にメータリング信号 MET がロウレベルにされると、再び振幅制御カウンタ $CUNTamp$ が計数動作を開始するが、このときには、カウント出力反転指示信号 ϕinv がハイレベルのようなアクティブレベルに制御されるので、クロック信号 $Q1$ 乃至 $Q3$ の出力レベルは、上記時刻 t_1 乃至 t_4 に対して反転されたレベルを採る。それによって、時刻 t_1 以降においてデコーダ DEC は、そのときのクロック信号 $Q1$ 乃至 $Q3$ のレベルの組合せに応じ、時刻 t_1 から時刻 t_2 では振幅比が $1/2$ のデジタルパターンデータの組を、時刻 t_2 から時刻 t_3 では振幅比が $1/4$ のデジタルパターンデータの組を、時刻 t_3 から時刻 t_4 では振幅比が $1/8$ のデジタルパターンデータの組を選択させる選択信号をデジタルパターン発生回路 DPG に供給し、且つ、上記のようにして逐次選択されるデジタルパターンデータの組

から個々のデジタルパターンデータを周期関数の順番に従って選択させる選択信号をカウントデータ $Dcount$ のサイクルに従ってデジタルパターン発生回路 DPG に供給する。

このようにしてデジタルパターン発生回路 DPG から順次出力されるデジタルパターンデータがラッチ回路 LAT 、デジタル・アナログ変換回路 DAC 、及びロウパスフィルタ LPF を介してサインウェーブ信号 $Apre$ に変換されると、第2図の時刻 t_1 から時刻 t_4 に示されるように、そのサインウェーブ信号 $Apre$ は、その振幅比が $1/1$ から順次 $1/2$ 、 $1/4$ 、 $1/8$ というように概ねランプ状に漸次減少されて、出力が終了される。

上記実施例によれば以下の作用効果を得るものである。

(1) 出力サインウェーブ信号 $Apre$ 号の開始から所定期間及び終了までの所定期間に、当該出力信号 $Apre$ の振幅は概ねランプ状に漸増、漸減されることにより、アナログ周期関数信号 $Apre$

eの発生及び終了時点において受信側で問題となるアンダーシュート及びオーバーシュートを、アナログ同期関数信号Apreの発信側におけるデジタル系のコントロールによって解決することができる。

(2) 上記作用効果より、電話通話料金計測回路に適用される場合に、実質的にノイズとみなされるようなサインウェーブのオーバーシュート及びアンダーシュートが防止される結果、その計測精度を向上させることができる。

(3) 上記作用効果(1)より、アナログ同期関数信号Apreの起端及び終端における振幅の漸増及び漸減制御がデジタル系のコントロールによって実行されるため、そのための回路構成は直接アナログ的にコントロールする構成に比べて簡素化され、且つその制御の容易性及び確実性をも図ることができる。

〔実施例2〕

第4図は本発明に係る同期関数信号発生回路の第2実施例を示すブロック図である。同図に示さ

れると、出力アナログ同期関数信号(以下単にサインウェーブ信号とも記す)Apreの周期を12KHz又は16KHzに制御し得るサイクルでカウントデータDcountを出力する。

ここで、上記コントローラCONTは本実施例に係る同期関数信号発生回路の全体の制御を司り、当該コントローラCONTには、基準クロック信号CLK、メータリング信号MET、及び出力アナログ同期関数信号の周期を12KHz又は16KHzの何れかに指示する周期設定信号PREが外部から供給される。上記メータリング信号METは、サインウェーブ信号Apreの出力動作の開始及び終了を指示する出力動作指示信号としての外部信号である。このメータリング信号METは、特に制限されないが、上記第1実施例で説明したと同様の信号である。

コントローラCONTは、パターンデータ選択カウンタCUNTpdに、スタート信号φstと及び設定周期指示信号φpreを与える。スタート信号φstは、メータリング信号METがハイ

レベルの回路も上記実施例同様に電話通話料金計測回路に適用されるサインウェーブ発生回路を構成するもので、電話用CODEC回路に搭載される。

同図においてDPGは、サインカーブに対応して夫々所定ビット数で構成された1周期分のデジタルパターンデータが発生可能なデジタルパターン発生回路である。このデジタルパターン発生回路DPGは、振幅を一定とする1種類のサインカーブに対応するデジタルパターンデータを保有し、特に制限されないが、ゲート・アレイ、PLA(プログラマブル・ロジック・アレイ)又はマスクROM(リード・オンリ・メモリ)などから構成される。

同図においてCUNTpdは、上記デジタルパターン発生回路DPGから出力すべきデジタルパターンデータを順次周期的に選択するパターンデータ選択カウンタである。パターンデータ選択カウンタCUNTpdは、特に制限されないが、コントローラCONTから供給されるスタート信号φstによってそれに計数動作が指示さ

レベルにされることに呼応してアクティブなカウント動作開始指示レベルにされる。設定周期指示信号φpreは、周期設定信号PREに対応する内部制御信号であり、それが12KHzを指示するときにはパターンデータ選択カウンタCUNTpdにサインウェーブ信号Apreの周期を12KHzに制御し得るサイクルでカウントデータDcountを出力させ、また、それが16KHzを指示するときにはパターンデータ選択カウンタCUNTpdにサインウェーブ信号Apreの周期を16KHzに制御し得るサイクルでカウントデータDcountを出力させる。

第4図においてSFTは、デジタルパターン発生回路DPGから順次周期的に出力される所定ビット数のデジタルパターンデータをビットシフトさせて、アナログ同期関数信号Apreの振幅を制御し得るようにそのデジタルパターンデータが保有する振幅量を変更可能なシフト回路である。シフト回路SFTによるシフト量は、特に制限されないが、マルチプレクサもしくはデコー

デコーダDECから出力されるシフト制御信号 ϕ_1 , ϕ_2 , ϕ_3 , 及び ϕ によって制御される。例えば、シフト制御信号 ϕ_1 がアクティブレベルにされると、シフト回路SFTはシフト動作を行わずにデジタルパターンデータのまま出力する。シフト制御信号 ϕ_2 がアクティブレベルにされると、シフト回路SFTはデジタルパターンデータを右方向に1ビットシフトさせて当該デジタルパターンデータが保有する振幅量を $1/2$ に制御し、シフト制御信号 ϕ_3 がアクティブレベルにされると、シフト回路SFTはデジタルパターンデータを右方向に2ビットシフトさせて当該デジタルパターンデータが保有する振幅量を $1/4$ に制御し、シフト制御信号 ϕ がアクティブレベルにされると、シフト回路SFTはデジタルパターンデータを右方向に3ビットシフトさせて当該デジタルパターンデータが保有する振幅量を $1/8$ に制御する。

上記デコーダDECには、シフト制御信号 ϕ_1 , ϕ_2 , ϕ_3 , 及び ϕ の出力選択制御を行うために、

ルパターンデータが保有する振幅量を $1/2$ に制御させる。また、各クロック信号Q1乃至Q3がロウレベルにされる期間では、シフト制御信号 ϕ をアクティブレベルにしてデジタルパターンデータが保有する振幅量をそのままに制御させる。コントローラCONTからデコーダDECに供給される選択レベル反転指示信号 ϕ_{sel} がアクティブレベルにされているときは、クロック信号Q1乃至Q3のレベルの組合せに対するシフト制御信号 ϕ_1 , ϕ_2 , 及び ϕ_3 のアクティブレベル制御が上記とは反対にされる。即ち、クロック信号Q1だけがロウレベルにされる期間においてシフト制御信号 ϕ_1 がアクティブレベルにされ、クロック信号Q2がロウレベルにされると共にクロック信号Q3がハイレベルにされる期間においてシフト制御信号 ϕ_2 がアクティブレベルにされ、クロック信号Q3がロウレベルにされる期間においてシフト制御信号 ϕ_3 がアクティブレベルにされる。

上記シフト制御カウンタCUNTsfhに対す

シフト制御カウンタCUNTsfhの出力が供給される。シフト制御カウンタCUNTsfhは、特に制限されないが、それに計数動作が指示されると、第5図に示されるように、順次周期が2倍とされるクロック信号Q1乃至Q3を出力する。

クロック信号Q1乃至Q3が入力されるデコーダDECは、第5図に示されるように、クロック信号Q1乃至Q3のレベルの組合せに応じて、シフト制御信号 ϕ_1 , ϕ_2 , ϕ_3 , 及び ϕ を順次アクティブレベルにする順番を決定する。例えば、クロック信号Q1だけがハイレベルにされる期間では、シフト制御信号 ϕ_1 をアクティブレベルにしてデジタルパターンデータが保有する振幅量を $1/2$ に制御させる。クロック信号Q2がハイレベルにされると共にクロック信号Q3がロウレベルにされる期間では、シフト制御信号 ϕ_2 をアクティブレベルにしてデジタルパターンデータが保有する振幅量を $1/4$ に制御させる。クロック信号Q3がハイレベルにされる期間では、シフト制御信号 ϕ_3 をアクティブレベルにしてディジ

タルパターンデータが保有する振幅量を $1/8$ に制御させる。また、各クロック信号Q1乃至Q3がロウレベルにされる期間では、シフト制御信号 ϕ をアクティブレベルにしてデジタルパターンデータが保有する振幅量をそのままに制御させる。コントローラCONTからデコーダDECに供給される選択レベル反転指示信号 ϕ_{sel} がアクティブレベルにされているときは、クロック信号Q1乃至Q3のレベルの組合せに対するシフト制御信号 ϕ_1 , ϕ_2 , 及び ϕ_3 のアクティブレベル制御が上記とは反対にされる。即ち、クロック信号Q1だけがロウレベルにされる期間においてシフト制御信号 ϕ_1 がアクティブレベルにされ、クロック信号Q2がロウレベルにされると共にクロック信号Q3がハイレベルにされる期間においてシフト制御信号 ϕ_2 がアクティブレベルにされ、クロック信号Q3がロウレベルにされる期間においてシフト制御信号 ϕ_3 がアクティブレベルにされる。

シフト制御カウンタCUNTsfhから出力すべきクロック信号Q3の1周期(クロック信号Q2の2周期であってクロック信号Q1の4周期である)は、振幅制御時間制御カウンタCUNTampから出力される制御クロック信号CLKに基づいて伸縮され得るようになっている。即ち、シフト制御カウンタCUNTsfhから出力されるクロック信号Q1乃至Q3は、特に制限されな

いが、制御クロック信号CLKの分周出力とされ、その制御クロック信号CLKの周期に応じて伸縮される。制御クロック信号CLKの周期はコントローラCONTから供給される制御データによって設定され、また、振幅制御時間制御カウンタCUNTcompの計数動作は上記カウンタ動作指示信号 $\phi s f t$ によって制御される。

上記シフト回路SFTの出力端子は、ラッチ回路LATを介してデジタル・アナログ変換回路DACの入力端子に結合される。デジタル・アナログ変換回路DACは、ラッチ回路LATから供給されるデジタルパターンデータを所定の極性で順次アナログ信号に変換する。デジタル・アナログ変換回路DACの出力端子はロウパスフィルタLPFの入力端子に結合される。ロウパスフィルタLPFは、デジタル・アナログ変換回路DACから供給される階段波状アナログ信号を滑らかにしてサインウェーブ信号Apreを出力する。

次に上記第2実施例の動作を第5図を中心にし

て説明する。

時刻 t_0 にメータリング信号METがハイレベルにされると、それに呼応して先ず、アクティブレベルにされるスタート信号 $\phi s t$ の作用によってパターンデータ選択カウンタCUNTpdが計数動作を開始して、カウントデータDcountをデジタルパターン発生回路DPGに供給する。このときのカウントデータDcountの出力サイクルは、周期設定信号PRE及び設定周期指示信号 $\phi p r e$ によって指示される12KHz又は16KHzに呼応され、出力アナログ信号Apreの周期を12KHz又は16KHzに制御し得るタイミングで変化される。これにより、デジタルパターン発生回路DPGから、同期関数信号形成のためのデジタルパターンデータが逐次シフト回路SFTに供給される。

また、時刻 t_0 に呼応してロウレベルのようなアクティブレベルにされるカウント動作指示信号 $\phi s f t$ の作用によってシフト制御カウンタCUNTsfが計数動作を開始して、順次2倍の周

期でクロック信号Q1乃至Q3をデコーダDECに供給する。

クロック信号Q1乃至Q3が供給されるデコーダDECは、このとき選択レベル反転指示信号 $\phi s i n v$ がロウレベルにされていることから、クロック信号Q1乃至Q3のレベルの組合せに応じ、時刻 t_0 から時刻 t_2 ではシフト制御信号 ϕ をアクティブレベルにしてデジタルパターンデータが保有する振幅量をシフト回路SFTによって1/8に制御させる。時刻 t_2 から時刻 t_4 ではシフト制御信号 ϕ をアクティブレベルにしてデジタルパターンデータが保有する振幅量をシフト回路SFTによって1/4に制御させる。時刻 t_4 から時刻 t_6 ではシフト制御信号 ϕ をアクティブレベルにしてデジタルパターンデータが保有する振幅量をシフト回路SFTによって1/2に制御させる。

このようにしてデジタルパターン発生回路DPGから順次出力されて所定ビット数シフトされたデジタルパターンデータが、ラッチ回路LAT

T、デジタル・アナログ変換回路DAC、及びロウパスフィルタLPFを介してサインウェーブ信号Apreに変換されると、第5図の時刻 t_0 から時刻 t_6 に示されるように、そのサインウェーブ信号Apreの振幅比は順次1/8、1/4、1/2というように概ねランプ状に漸次増大される。

クロック信号Q3が1周期を終了する時刻 t_6 に呼応するタイミングでカウント動作指示信号 $\phi s f t$ がハイレベルにされて、シフト制御カウンタCUNTsfのカウント動作が終了されることに呼応して全てのクロック信号Q1乃至Q3がロウレベルにされると、デコーダDECから出力されるシフト制御信号 ϕ がアクティブレベルにされ、それによって、それ以降、サインウェーブ信号Apreは振幅比1/1の所定振幅の信号とされて出力維持される。

時刻 T_0 にメータリング信号METがロウレベルにされると、再びシフト制御カウンタCUNTsfが計数動作を開始するが、このときには、

選択レベル反転指示信号 $\phi \text{ s i n v}$ がハイレベルのようなアクティブレベルに制御されるので、クロック信号 $Q1$ 乃至 $Q3$ の出力レベルの組合せに対するシフト制御信号 ϕ_1, ϕ_2, ϕ_3 のアクティブレベルへの変化制御タイミングが上記とは相違される。それによって、時刻 t_1 以降においてデコードDECは、そのときのクロック信号 $Q1$ 乃至 $Q3$ のレベルの組合せに応じ、時刻 t_1 から時刻 t_2 ではシフト制御信号 ϕ_1 がアクティブレベルにされて、デジタルパターンデータが保有する振幅量がシフト回路SFTによって $1/2$ に制御される。時刻 t_2 から時刻 t_3 ではシフト制御信号 ϕ_2 がアクティブレベルにされて、デジタルパターンデータが保有する振幅量がシフト回路SFTによって $1/4$ に制御される。時刻 t_3 から時刻 t_4 ではシフト制御信号 ϕ_3 がアクティブレベルにされて、デジタルパターンデータが保有する振幅量がシフト回路SFTによって $1/8$ に制御される。

このようにしてデジタルパターン発生回路D

力される制御クロック信号CLK₀に基づいて伸縮され得るようになってから、出力周期関数信号Apreにおいて出力振幅を制御する時間

(第5図に従えば時刻 t_1 から時刻 t_4 までの時間、及び時刻 t_1 から時刻 t_2 までの時間) を容易に変更することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要しを逸脱しない範囲において種々変更することができる。

例えば、上記各実施例では振幅の漸減及び漸増制御のステップ数を3段階にしたが、斯るステップ数は振幅制御カウンタCUNT_{amp}やシフト制御カウンタCUNT_{sft}の出力ビット数などを変更することによって適宜に設定することができる。また、形成すべきアナログ周期関数信号はサインウェーブに限定されず、種々の周期関数信号にすることができ、それに応じてデジタルパターンデータの構成が変更される。更に、漸次増大及び減少すべき振幅比も基準振幅に対して $1/$

PGから順次出力されてシフト回路SFTで所定ビット数シフトされたデジタルパターンデータが、ラッチ回路LAT、デジタル・アナログ変換回路DAC、及びローパスフィルタLPFを介してサインウェーブ信号Apreに変換されると、第5図の時刻 t_1 から時刻 t_4 に示されるように、そのサインウェーブ信号Apreは、その振幅比が $1/1$ から順次 $1/2, 1/4, 1/8$ というように概ねランプ状に漸次減少されて、その出力が終了される。

上記第2実施例によれば、上記第1実施例の効果と共に更に以下の作用効果を得る。

(1) デジタルパターン発生回路DPGには1種類の振幅のデジタルパターンデータを保有させておけばよいから、上記第1実施例に比べて、デジタルパターン発生回路DPGの規模を小型化することができる。

(2) シフト制御カウンタCUNT_{sft}から出力すべきクロック信号 $Q1$ 乃至 $Q3$ の周期は、振幅制御時間制御カウンタCUNT_{camp} から出

$8, 1/4, 1/2$ に限定されず、適宜の振幅比を採用することができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である電話用CODEC回路に内蔵されたサインウェーブ発生回路に適用した場合について説明したが、本発明はそれに限定されるものではなく、種々のアナログ周期関数信号を用いる回路に適用することができる。本発明は、少なくとも周期関数のデジタルパターンデータに基づいてアナログ周期関数信号を形成する条件のものに適用することができる。

〔発明の効果〕

本願において開示される夫々の発明によって得られる効果を簡単に説明すれば下記の通りである。

すなわち、第1の発明によれば、発生すべきアナログ周期関数信号の振幅を相違させ得る複数種類のデジタルパターンデータをデジタルパターン発生回路に保有させ、そのデジタルパターン発生回路からデジタルパターンデータを順次

周期的に通括するに際して、アナログ周期関数信号の発生及び終了時点で、出力周期関数信号の振幅を概ね漸増及び漸減させ得る振幅の異なるデジタルパターンデータを選択するように制御されることにより、アナログ周期関数信号の発生及び終了時点で受信側で問題となるアンダーシュート及びオーバーシュートを、アナログ周期関数信号の受信側におけるデジタル系のコントロールによって容易且つ確実に解決することができる。

第2の発明によれば、デジタルパターン発生回路から順次周期的に出力される振幅一定のデジタルパターンデータをシフト回路でシフトさせて、そのデジタルパターンデータが保有する振幅量をアナログ周期関数信号の発生及び終了時点で概ね漸増及び漸減させ得るように制御することにより、第1の発明の効果を奏すると共に、デジタルパターン発生回路の小型化を達成することができる。

4. 図面の簡単な説明

第1図は本発明に係る周期関数信号発生回路の

第1実施例を示すブロック図。

第2図は第1実施例における振幅制御動作を説明するためのタイムチャート。

第3図はアナログ周期関数信号の1例を示す説明図。

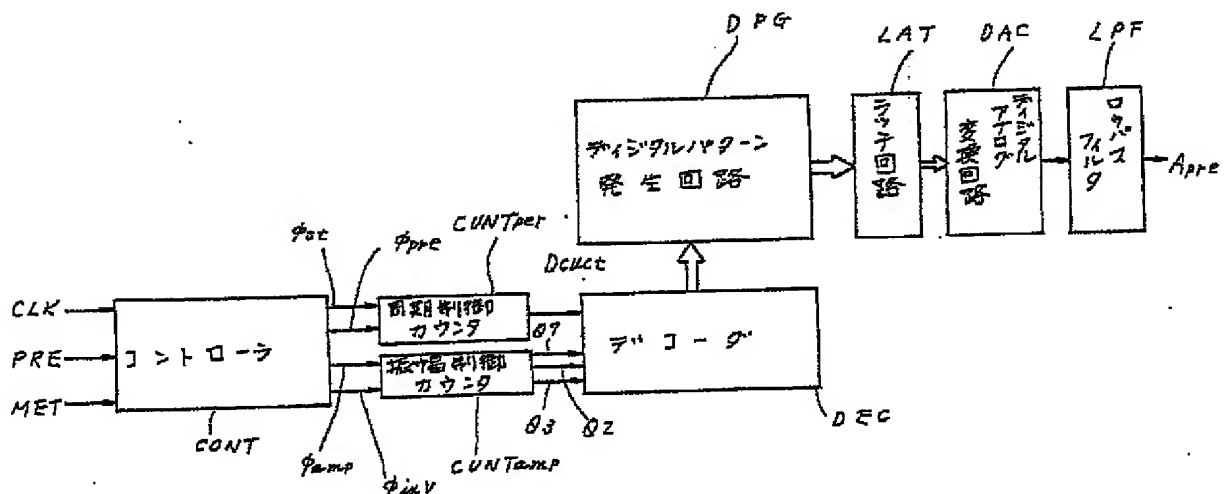
第4図は本発明に係る周期関数信号発生回路の第2実施例を示すブロック図。

第5図は第2実施例における振幅制御動作を説明するためのタイムチャートである。

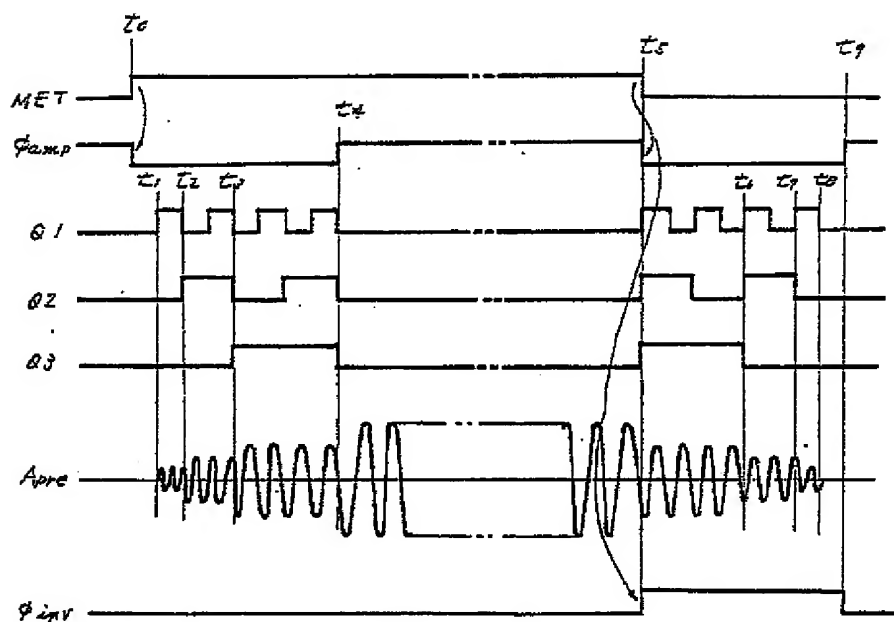
D P G…デジタルパターン発生回路、D E C…デコーダ、C O N T…コントローラ、C U N T p r e…周期制御カウンタ、C U N T a m p…振幅制御カウンタ、S F T…シフト回路、C U N T p d s…パターンデータ選択カウンタ、C U N T s f t…シフト制御カウンタ、C U N T c a m p…振幅制御時間制御カウンタ。

代理人 弁理士 小川 勝男

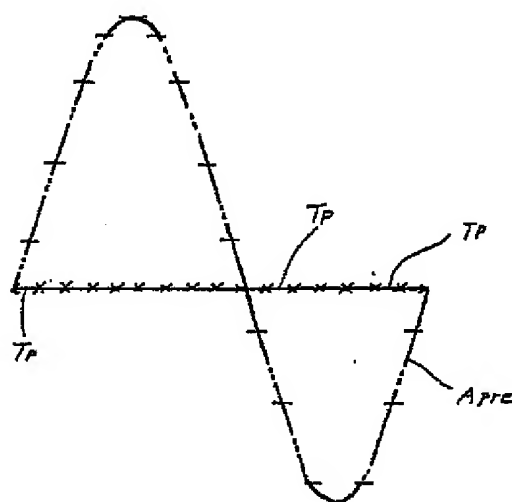
第 1 図



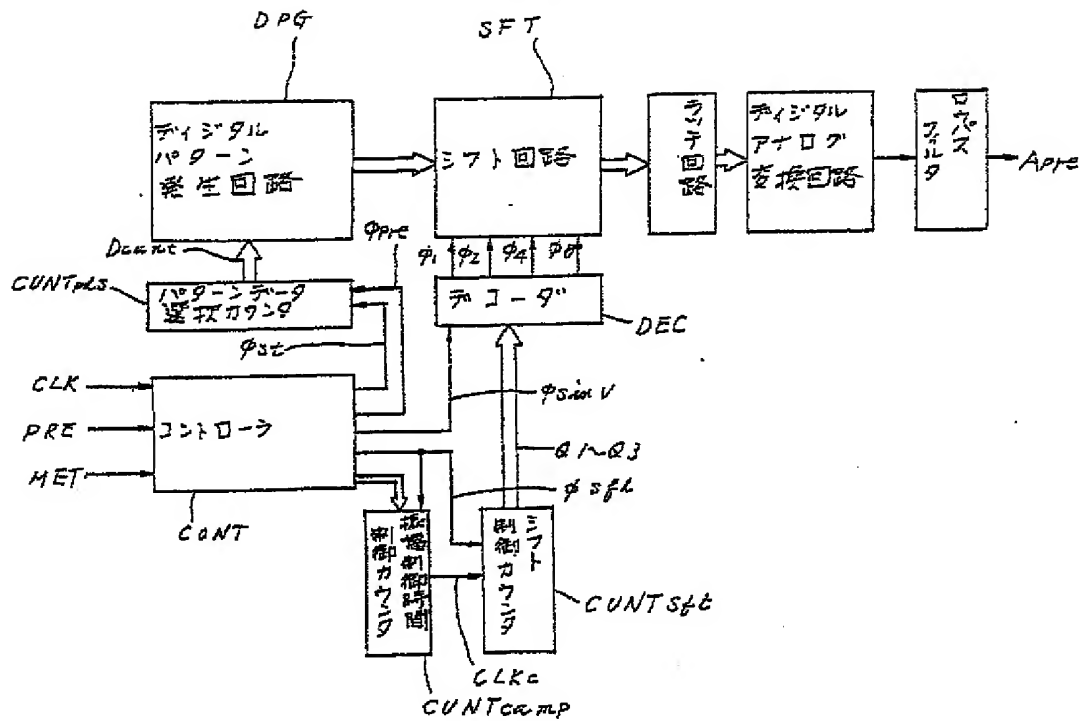
第 2 図



第 3 図



第 4 図



第 5 図

